

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **03-138969**

(43)Date of publication of application : **13.06.1991**

(51)Int.Cl.

H01L 23/50

(21)Application number : **01-275889**

(71)Applicant : **FUJITSU LTD**

(22)Date of filing : **25.10.1989**

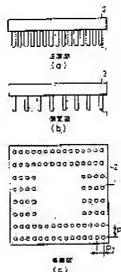
(72)Inventor : **TASHIRO KAZUHIRO
YOSHIZAKI TSUTOMU**

(54) IC PACKAGE

(57)Abstract:

PURPOSE: To improve the array density of package leads by varying the pitch of the longitudinal row and the pitch of the transverse row of package leads arranged in matrix shape from each other.

CONSTITUTION: The pitch P1 of the longitudinal row and the pitch P2 of the transverse row of package leads 1 planted at the bottom of a package body 2 arranged in matrix shape are varied. Since the transverse pitch P2 is made fine though the longitudinal pitch P1 is not made fine this way, it is made in high density as a whole, and since the longitudinal pitch is not made fine though the transverse pitch P2 is made fine, patterns can be laid out in a similar manner as the conventional one.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平3-138969

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月13日

H 01 L 23/50

P

9054-5F

N

9054-5F

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 ICパッケージ

⑯ 特 願 平1-275889

⑰ 出 願 平1(1989)10月25日

⑱ 発 明 者 田 代 一 宏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 吉 崎 勉 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 青 木 朗 外4名

明 細 書

1. 発明の名称

ICパッケージ

2. 特許請求の範囲

1. 半導体素子を収容したパッケージ本体(2)の下面にパッケージリード(1)がマトリクス状に配置して植設されたビングリッドアレイ型のICパッケージにおいて、
上記マトリクス状に配置されたパッケージリード(1)の縦列のピッチ(P₁)と横列のピッチ(P₂)とが異なることを特徴とするICパッケージ。

3. 発明の詳細な説明

〔概要〕

ビングリッドアレイパッケージ型の半導体装置に関し、

ICソケットへのコンタクトを阻害することなくパッケージリードの配列密度を向上することを目的とし、

半導体素子を収容したパッケージ本体の下面に

多数のパッケージリードがマトリクス状に配置して植設されたビングリッドアレイ型のICパッケージにおいて、上記マトリクス状に配置されたパッケージリードの縦列のピッチと横列のピッチとが異なるように構成する。

〔産業上の利用分野〕

本発明はビングリッドアレイパッケージ型の半導体装置に関する。

〔従来の技術〕

第3図は従来のビングリッドアレイパッケージ型の半導体装置を示す図である。これは下面に多数のパッケージリード1がマトリクス状に配置植設されたセラミック等のパッケージ本体2に半導体素子3が搭載され、その半導体素子3の電極とパッケージリード1に接続されたインナーリード4との間がワイヤ5で接続され、さらに半導体素子3が搭載されている凹部をキャップ6で気密に封止されている。

〔発明が解決しようとする課題〕

上記従来のビングリッドアレイパッケージ型の半導体装置では、マトリクス状に配置されたパッケージリード1のピッチが縦列と横列で同一であるため、ICソケットのコンタクトを可能とするピッチ以下にすることができず、パッケージリードを高密度化することは困難であるという問題があった。

本発明は上記従来の問題点に鑑み、ICソケットへのコンタクトを阻害することなくパッケージリードの配列密度を向上可能としたICパッケージを提供することを目的とする。

〔課題を解決するための手段〕

上記目的を達成するために本発明のICパッケージでは、半導体素子を収容したパッケージ本体2の下面にパッケージリード1がマトリクス状に配置して組設されたビングリッドアレイ型のICパッケージにおいて、上記マトリクス状に配置されたパッケージリード1の縦列のピッチP₁と横

横列のピッチP₂とが異なることを特徴とする。

〔作 用〕

マトリクス状に配列したパッケージリードの縦列のピッチP₁と横列のピッチP₂とが異なるようにしたことにより、一方の列をICソケットにコンタクトすることが可能なピッチとし、他方の列をそれより小さなピッチとして高密度化することができる。

〔実施例〕

第1図は本発明の実施例を示す図であり、(a)は正面図、(b)は側面図、(c)は底面図である。

同図において、2は半導体素子を内蔵したパッケージ本体であり、1はパッケージリードである。

本実施例は同図に示すように、パッケージ本体2の下面にマトリクス状に配置されたビングリッドアレイパッケージにおいて、そのパッケージリード1の配置を、同図に示すように縦列のピッチ

P₁に対し、横列のピッチP₂を変えたことである。同図はP₂のピッチをP₁の1/2とした例である。

このように構成された本実施例は、縦方向のピッチP₁は微細化していないが横方向のピッチP₂を微細化しているため、全体としては高密度化されている。

また横方向のピッチP₂は微細化しているが、縦方向のピッチは微細化していないため、このスペースを利用してプリント基板にパターンを従来と同様に造ることが出来る。

また現状でのビングリッドアレイ用ICソケットは第2図に示すように水平方向にパッケージリード1又はICソケット7のコンタクトピン8を矢印方向に移動させることでコンタクトを行なわせているが、通常のリード配列のビングリッドアレイパッケージでは、ピッチを微細化した場合、コンタクトピン8の移動距離が制限されるため、コンタクトが困難となる。このような場合、本実施例では横方向のピッチが微細化されても縦方向

のピッチを大きくとれるのでコンタクトに要する移動距離を確保することができる。

〔発明の効果〕

以上説明した様に、本発明によれば、微細ピッチのビングリッドアレイパッケージに対して、プリント基板にパターンを造ることが容易となり、またICソケットのコンタクトが従来技術と同様的方式で対応することが可能となる。

4. 図面の簡単な説明

第1図は本発明の実施例を示す図、

第2図はICソケットのコンタクト方式を説明するための図、

第3図は従来のビングリッドアレイ型の半導体装置を示す図である。

図において、

1はパッケージリード、

2はパッケージ本体、

7はICソケット、

8はコンタクトピン

を示す。

特許出願人

富士通株式会社

特許出願代理人

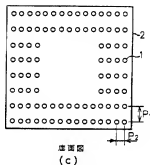
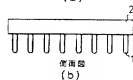
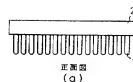
弁理士 青 木 朗

弁理士 石 田 敬

弁理士 中 山 恭 介

弁理士 山 口 昭 之

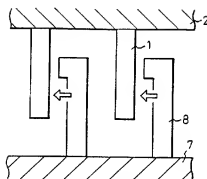
弁理士 西 山 雅 也



本発明の實施例を示す図

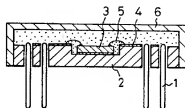
第 1 図

1...パッケージリード
2...パッケージ本体



ICソケットのコンタクト方式を説明するための図

第 2 図



従来のピンリッドアレイ型の半導体装置を示す図

第 3 図